

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-42138

⑤ Int. Cl.³
H 01 L 21/60
23/12

識別記号

庁内整理番号
6819-5F
7357-5F

⑬ 公開 昭和57年(1982)3月9日

発明の数 1
審査請求 未請求

(全 2 頁)

⑭ 半導体装置

⑯ 特 願 昭55-117090
⑰ 出 願 昭55(1980)8月27日
⑱ 発 明 者 山本英治
小平市上水本町1450番地株式会

社日立製作所武蔵工場内
⑲ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
⑳ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置

特許請求の範囲

ベース内に收容されたペレットと電気的に接続される導電層を該ベースの底面に導出して基板実装用端子とした半導体装置において、基板実装用端子を設けた面とは反対のベース面に少くとも1個の基板実装位置決め用パターンを有することを特徴とする半導体装置。

発明の詳細な説明

本発明は半導体装置、特に基板への実装を精度良く容易に行うことのできる半導体装置に関するものである。

一般に、トランジスタや集積回路 (IC) の如き半導体装置を基板に実装するにあたって、半導体装置の高密度実装を行なう場合、チップキャリアの使用が考えられる。このチップキャリアは一般にセラミック底面に極めて小さいピッチの基板実装用端子がとりつけられておりセラミック基板等の対応する電極部に半田等によりとりつけられ

る。しかしながらこの実装時に於て前記端子ピッチの細かいものを基板の対応電極位置にとりつける為には相当の精度を必要とする。たとえばパッケージ上面より底面にとりつけられた導電層の位置を確認しながら実装することが困難であり、通常は外形端面等を基準に位置決めする場合がある。この時外形端面を基準にするとセラミック外形と実装用端子との位置ずれにより基板対応電極上に正確にとりつけられない場合がある。

本発明は前記した課題に鑑みてなされたもので、多ピンかつ小型であっても、基板に精度良く容易に実装できる半導体装置を提供することを目的とするものである。

以下、本発明を図面に示す実施例にしたがって説明する。

第1図と第2図は本発明による半導体装置の一実施例を示すものである。第1図において、セラミック製のベース1は本発明による半導体装置の主要な構成要素のひとつであり、半導体チップであるペレット8を収納するための凹部5を中央部

にそなえている。この中央凹部⁶周辺にはペレット⁸上の電極に対応した複数の導電層²がプリント配線技術などにより形成され、各導電層毎にベース¹の側面を通してベース底面に達するように形成されている。ベース¹の底面に引出された導電層部分すなわち実装用端子⁸には半田付け可能な処理が施こされ、半導体装置のセラミック基板⁷への実装時には、この実装用端子⁸がセラミック基板⁷等の他の電子部品の電極部⁸と半田付け等により結合される(第8図参照)。

一方、前記導電層²はベース側面を通して前記ベース底面と対応する他の主面すなわちベース上面にも導かれ、該ベース上面においては、ベース底面の実装用端子⁸と対応した位置に実装用の位置決め用パターン⁴が形成されている。この位置決め用パターン⁴はベース底面の実装用端子⁸に対応した位置に精度よく形成されている為、実装時にこの位置決め用パターン⁴を基準にすることにより端子ピッチの小さいものや多ピンのものにも精度よく実装が可能となる。

なお、本実施例における位置決め用パターン⁴は4個設けたが、1個以上であれば、必ずしも4個にする必要はない。

また、符号⁹は導電層²とペレット⁸の電極部を電気的に接続するボンディング用のワイヤ、¹⁰は蓋、¹¹は封止用材料である。

以上説明したように、本発明によれば、たとえ多ピンかつ小型の半導体装置であっても、基板に対して精度良く容易に実装することができる。

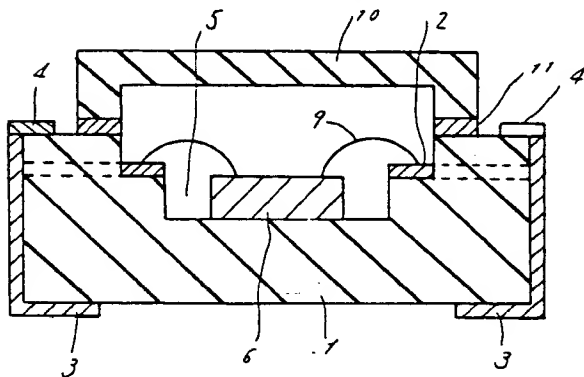
図面の簡単な説明

第1図は本発明による半導体装置の一実施例を第2図の1-1線に沿ってとった断面図、第2図は第1図の半導体装置の斜視図、第8図は第1図と第2図の半導体装置を基板に実装した状態を示す部分平面図である。

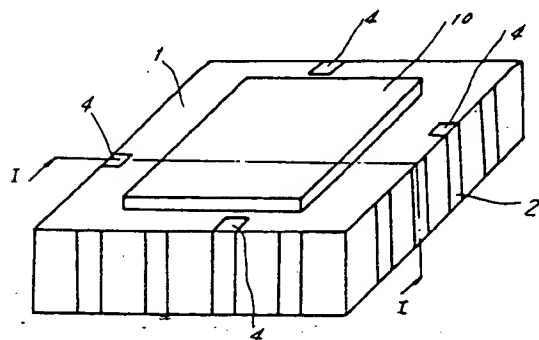
1…ベース、2…導電層、8…実装用端子、
4…位置決め用パターン、5…ペレット収納用の凹部、6…ペレット、7…基板、8…電極部、
9…ワイヤ。

代理人 弁理士 薄 田 利 幸

第 1 図



第 2 図



第 3 図

